

ORGANIC ELECTROLUMINESCENCE DRIVING ELEMENT AND ORGANIC ELECTROLUMINESCENCE DISPLAY PANEL HAVING SAME

Publication number: JP2004118196

Publication date: 2004-04-15

Inventor: CHOI BEOM-RAK; CHAI CHONG-CHUL; CHOI JOON-HOO

Applicant: SAMSUNG ELECTRONICS CO LTD

Classification:

- international: H01L51/50; G09G3/20; G09G3/30; G09G3/32; H01L51/50; G09G3/20; G09G3/30; G09G3/32; (IPC1-7): G09G3/30; G09G3/20; H05B33/14

- European: G09G3/32A

Application number: JP2003032902 20030925

Priority number(s): KR20020058210 20020925

Also published as:

US7224934 (B2)
US2004056828 (A1)
KR20040029242 (A)
CN1510662 (A)

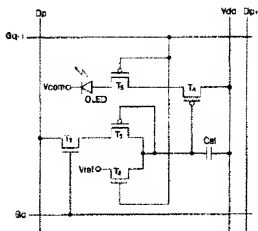
Report a data error here

Abstract of JP2004118196

PROBLEM TO BE SOLVED: To provide an organic electroluminescence driving element for solving nonuniformity of picture quality by compensating characteristics of a thin-film transistor for driving equipped on pixels.

SOLUTION: A 1st thin-film transistor outputs a data signal applied through a data line coupled with a 2nd stage through a 3rd stage in response to a current gate signal applied through a gate line coupled with a 1st stage and a 2nd thin-film transistor outputs a reference voltage coupled with the 2nd stage through the 3rd stage in response to a last gate signal applied through the 1st stage; and a 3rd thin-film transistor has its 1st stage coupled with the 3rd stage of the 1st thin-film transistor and its 2nd stage and 3rd stage coupled together in common and a 4th thin-film transistor has its 1st stage coupled with a current supply line and its 2nd stage coupled with the common stage of the 3rd thin-film transistor and supplies current to an organic electric field light emitting element through the 3rd stage in response to a signal inputted through the common stage to drive the organic electric field light emitting element.

COPYRIGHT: (C)2004,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-118196

(P2004-118196A)

(43) 公開日 平成16年4月15日(2004. 4. 15)

(51) Int. Cl. 7

F I

テーマコード(参考)

G09G 3/30

G09G 3/30

J

3K007

G09G 3/20

G09G 3/20

611H

5C080

H05B 33/14

G09G 3/20

624B

G09G 3/20

641D

G09G 3/20

642A

審査請求 未請求 請求項の数 28 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2003-332902 (P2003-332902)

(22) 出願日 平成15年9月25日(2003. 9. 25)

(31) 優先権主張番号 2002-058210

(32) 優先日 平成14年9月25日(2002. 9. 25)

(33) 優先権主張国 韓国(KR)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市靈通区海雲洞 4 1 6

(74) 代理人 100094145

弁理士 小野 由己男

(74) 代理人 100106367

弁理士 権根 勝子

(72) 発明者 崔 凡 洛

大韓民国ソウル特別市江南区大峙1洞三星

A p t . アパート112棟508号

(72) 発明者 チェ ソン チョル

大韓民国ソウル特別市麻浦区新孔洞律三崔

A p t . アパート102棟1004号

最終頁に続く

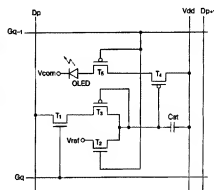
(54) 【発明の名称】 有機電界発光駆動素子とこれを有する有機電界発光表示パネル

(57) 【要約】

【課題】 ビクセルに具備される駆動用の薄膜トランジスタの特性を補償して画質の不均一を解決するための有機電界発光駆動素子を提供する。

【解決手段】 第1薄膜トランジスタは第1段に接続されたゲートラインを通じて印加される現在のゲート信号に前答して第2段に接続されたデータラインを通じて印加されるデータ信号を、第3段を通じて出力し、第2薄膜トランジスタは第1段を通じて印加される以前のゲート信号に前答して第2段に接続された基準電圧を、第3段を通じて出力し、第3薄膜トランジスタは第1段が第1薄膜トランジスタの第3段に接続され、第2段と第3段が共通接続され、第4薄膜トランジスタは第1段が電流供給ラインに接続され、第2段が第3薄膜トランジスタの共通段に接続されて、共通段を通じて入力される信号に前答して第3段を通じて有機電界発光素子に電流を提供して有機電界発光素子を駆動することとを特徴とする。

【図1】 図3



【特許請求の範囲】

【請求項 1】

第 1 方向に配列された複数のデータラインと前記第 1 方向とは相異なる第 2 方向に配列された複数のゲートラインとにより定義される領域に各々具備されて、一端が共通電極端に連結されて、流れる電流に responding して発光する有機電界発光素子の駆動素子において、

第 1 段に連結されたゲートラインを通じて印加される現在のゲート信号に responding して第 2 段に連結されたデータラインを通じて印加されるデータ信号を、第 3 段を通じて出力する第 1 スイッチング素子と、

第 1 段を通じて印加される以前のゲート信号に responding して第 2 段に連結された基準電圧を、第 3 段を通じて出力する第 2 スイッチング素子と、

第 1 段が前記第 1 スイッチング素子の第 3 段に連結されて、第 2 段と第 3 段が共通連結された第 3 スイッチング素子と、

第 1 段が電流供給ラインに連結されて、第 2 段が前記第 3 スイッチング素子の共通段に連結されて、前記共通段を通じて入力される信号に responding して第 3 段を通じて前記有機電界発光素子に前記電流を提供する第 4 スイッチング素子を含む有機電界発光駆動素子。

【請求項 2】

前記第 1 ないし第 4 スイッチング素子はポリシリコンタイアの薄膜トランジスタであることを特徴とする請求項 1 に記載の有機電界発光駆動素子。

【請求項 3】

前記第 3 スイッチング素子と第 4 スイッチング素子とのスイッチング特性は同一であることを特徴とする請求項 1 に記載の有機電界発光駆動素子。

【請求項 4】

前記第 3 及び第 4 スイッチング素子はゲート、ソース及びドレインを各々有する薄膜トランジスタである。

前記第 3 スイッチング素子のゲート形成方向は前記第 4 スイッチング素子のゲート形成方向と平行であり、前記ゲート形成方向に垂直な任意の仮想線上前記第 3 スイッチング素子のソースとドレイン及び前記第 3 スイッチング素子のソースとドレインが形成されることを特徴とする請求項 3 に記載の有機電界発光駆動素子。

【請求項 5】

前記第 3 及び第 4 スイッチング素子はゲート、ソース及びドレインを各々有する薄膜トランジスタである。

前記第 3 スイッチング素子のゲートと前記第 4 スイッチング素子とのゲートが任意の仮想線上に形成され、前記第 3 スイッチング素子のソースとドレインとの形成方向は前記第 4 スイッチング素子のソースとドレインの形成方向と平行であることを特徴とする請求項 4 に記載の有機電界発光駆動素子。

【請求項 6】

一端が前記電流供給ラインに連結されて、他端が前記第 3 スイッチング素子の共通段に連結されたキャパシタをさらに含むことを特徴とする請求項 1 に記載の有機電界発光駆動素子。

【請求項 7】

前記電流供給ラインは前記データラインと平行であることを特徴とする請求項 1 に記載の有機電界発光駆動素子。

【請求項 8】

第 1 段が直前のゲートラインに連結され、第 2 段が前記第 4 スイッチング素子の第 3 段に連結されて、前記第 1 段が以前のゲート信号に responding してオン/オフされて前記第 4 スイッチング素子を經由する電流を出力する第 5 スイッチング素子をさらに含むことを特徴とする請求項 1 に記載の有機電界発光駆動素子。

【請求項 9】

前記第 1 及び第 2 スイッチング素子は N タイアの薄膜トランジスタであり、前記第 3 ないし第 5 スイッチング素子は P タイアの薄膜トランジスタであることを特徴とする請

10

20

30

40

50

水項 8 に記載の有機電界発光駆動素子。

【請求項 10】

前記基準電圧(V_{ref})は、

$$[V_{gate\ off}(T1)] \leq V_{ref} \leq [V_{data,\ min} + V_{th}(T3)]$$

(ここで、前記 $V_{gate\ off}(T1)$ は第 1 スイッチング素子のゲートオフ電圧、前記 V_{ref} は基準電圧、前記 $V_{data,\ min}$ はデータ電圧の最小値、前記 $V_{th}(T3)$ は第 3 スイッチング素子のしきい電圧として負の電圧)の条件を満足することを特徴とする請求項 9 に記載の有機電界発光駆動素子。

【請求項 11】

前記第 1 ないし第 4 スイッチング素子は P タイアの薄膜トランジスタであり、前記第 5 スイッチング素子は N タイアの薄膜トランジスタであることを特徴とする請求項 8 に記載の有機電界発光駆動素子。

【請求項 12】

前記基準電圧(V_{ref})は、

$$V_{ref} < V_{gate\ off}(T21)$$

(ここで、前記 $V_{gate\ off}(T21)$ は第 1 薄膜トランジスタ ($T21$) のゲートオフ電圧)の条件を満足することを特徴とする請求項 11 に記載の有機電界発光駆動素子。

【請求項 13】

前記基準電圧(V_{ref})は、

$$V_{ref} < [V_{data,\ min} + V_{th}(T23)]$$

(ここで、前記 $V_{data,\ min}$ はデータライン (Dp) に印加されるデータ電圧の最小値であり、前記 $V_{th}(T23)$ は第 8 薄膜トランジスタ ($T23$) のしきい電圧)の条件をさらに満足することを特徴とする請求項 12 に記載の有機電界発光駆動素子。

【請求項 14】

前記基準電圧は現在のゲートラインに印加されるゲート信号であることを特徴とする請求項 11 に記載の有機電界発光駆動素子。

【請求項 15】

前記電流供給ラインは前記ゲートラインと平行であり、

前記有機電界発光駆動素子は、

第 1 段が現在のゲートラインに連結され、第 2 段が前記第 4 スイッチング素子の第 3 段に連結されて、前記第 1 段が以前のゲート信号にตอบสนองしてオン/オフされて前記第 4 スイッチング素子を經由する電流を出力する第 5 スイッチング素子をさらに含むことを特徴とする請求項 11 に記載の有機電界発光駆動素子。

【請求項 16】

前記電流供給ラインは前記ゲートラインと平行であり、

前記有機電界発光駆動素子は、

第 1 段が以前のゲートラインに連結され、第 2 段が前記第 4 スイッチング素子の第 3 段に連結されて、前記第 1 段が以前のゲート信号にตอบสนองしてオン/オフされて前記第 4 スイッチング素子を經由する電流を出力する第 5 スイッチング素子と、

第 1 段が前記第 5 スイッチング素子の第 3 段に連結されて、第 2 段が現在のゲートラインに連結されて前記現在のゲートラインに印加されるゲート信号にตอบสนองしてオン/オフされて前記第 5 スイッチング素子を經由する電流を出力する第 6 スイッチング素子をさらに含むことを特徴とする請求項 11 に記載の有機電界発光駆動素子。

【請求項 17】

前記第 5 及び第 6 スイッチング素子はポリシリコンタイアの薄膜トランジスタであることを特徴とする請求項 16 に記載の有機電界発光駆動素子。

【請求項 18】

第 1 方向に配列されて、データ信号を伝達するデータラインと、

前記第 1 方向とは相異なる第 2 方向に配列されて、ゲート信号を伝達するゲートラインと

バイアス電源を伝達する電流供給ラインと、一端が共通電極端に連結されて、流れる電流の量に responding して発光する有機電界発光素子と、

第1段を通じて伝えられる現在のゲート信号に responding して第2段に連結されたデータラインを通じて印加されるデータ信号を、第3段を通じて出力する第1スイッチング素子と、第1段を通じて印加される以前のゲート信号に responding して第2段に連結された基準電圧を、第3段を通じて出力する第2スイッチング素子と、

第1段が前記第1スイッチング素子の第3段に連結されて、第2段と第3段とが共通連結された第3スイッチング素子と、

第1段が前記電流供給ラインに連結されて、第2段が前記第3スイッチング素子の共通段に連結されて、前記共通段を通じて入力される信号に responding して第3段を通じて前記有機電界発光素子に前記電流を提供する第4スイッチング素子と、を含む有機電界発光パネル。

【請求項19】

前記有機電界発光パネルは一端が前記電流供給ラインに連結されて、他端が前記第3スイッチング素子の共通段に連結されたキャパシタをさらに含むことを特徴とする請求項18に記載の有機電界発光パネル。

【請求項20】

前記電流供給ラインは前記第1方向に配列されることを特徴とする請求項18に記載の有機電界発光パネル。

【請求項21】

前記第1ないし第2スイッチング素子はNタイプの薄膜トランジスタであり、前記第3及び第4スイッチング素子はPタイプの薄膜トランジスタであることを特徴とする請求項20に記載の有機電界発光パネル。

【請求項22】

前記有機電界発光パネルは第1段が以前のゲートラインに連結され、第2段が前記第4スイッチング素子の第3段に連結されて、前記第1段が以前のゲート信号に responding してオン/オフされて前記第4スイッチング素子を經由する電流を出力する第5スイッチング素子をさらに含むことを特徴とする請求項20に記載の有機電界発光パネル。

【請求項23】

前記第5スイッチング素子はPタイプの薄膜トランジスタであることを特徴とする請求項22に記載の有機電界発光パネル。

【請求項24】

前記電流供給ラインは前記第2方向に配列されることを特徴とする請求項18に記載の有機電界発光パネル。

【請求項25】

前記有機電界発光パネルは基準電圧を伝達するための基準電圧ラインをさらに具備して、前記基準電圧ラインは前記第2スイッチング素子の第2段に連結されて、前記基準電圧を提供することを特徴とする請求項18に記載の有機電界発光パネル。

【請求項26】

前記基準電圧は現在のゲートラインに印加されるゲート信号であることを特徴とする請求項18に記載の有機電界発光パネル。

【請求項27】

前記有機電界発光パネルはライン方向に伸張されて、コラム方向に配列された複数のゲートラインと、コラム方向に伸張されて、ライン方向に配列された隣接する2個のデータラインとがコラム方向に配列された複数のピクセルを定義し、

一番目のピクセルを定義する2個のゲートラインのうち最上端に具備されるゲートラインに供給されるゲート信号は最後のピクセルを定義する2個のゲートラインのうち最下端に具備されるゲートラインに供給されるゲート信号と同期することを特徴とする請求項18に記載の有機電界発光パネル。

10

20

30

40

50

【請求項 28】

前記最上端に具備されるゲートラインは前記最下端に具備されるゲートラインと連結されることを特徴とする請求項 27 に記載の有機電界発光パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は有機電界発光駆動素子とこれを有する有機電界発光表示パネルに関するものであり、より詳細には駆動用の薄膜トランジスタの特性補償機能を有する有機電界発光駆動素子とこれを有する有機電界発光表示パネルに関するものである。

【背景技術】

【0002】

現在使われる表示装置としては最もたくさん使用されているものとしてブラウン管(CRT)があって、コンピュータ用としては液晶表示装置(Liquid Crystal Display: LCD)の比率がだんだん増加している。しかし、ブラウン管の場合には重量および体積が大きく、LCDの場合には明るくない、側面からの視認性が低い、効率が低いなどの短所を有しており、使用者を完全に満足させることができない実情である。

【0003】

これに伴い現在多くの人々がより安く、効率が高く、薄くて、軽いディスプレイ装置を開発するために努力しており、そうした次世代ディスプレイ素子として注目されているもののうちのひとつが有機電界発光素子(Organic Light Emitting Device: 以下、OLEDと称す)である。

【0004】

このようなOLEDは特定有機物または高分子等のElectro Luminescence(EL: 電気を加えた時に光を放出する現象)を利用するものであり、ディスプレイ装置に別のバックライト装置を具備しなくてもよいために前記した液晶表示装置(LCD)に比べて薄型化が可能であり、より安くで容易に製作できるとともに、広い視野角と明るい光を出す長所を有しており、これに関する研究が全世界的に熱く進められている。

【0005】

図1は一般的な有機電界発光駆動素子の一例を説明するための図面である。図2は前記した図1に印加される信号波形を説明するための図面である。

【0006】

図1及び図2に示すように、一般的な有機電界発光駆動素子はゲートとソースがゲートラインとデータラインとの間に各々連結されたスイッチング用の薄膜トランジスタ(Q_S)、一端がスイッチング薄膜トランジスタ(Q_S)のドレーンに連結されたストレージキャパシタ(Cst)、ゲートが前記スイッチング薄膜トランジスタ(Q_S)のドレーンに連結されて、ソースが外部のバイアス電圧(Vdd)に連結された駆動用の薄膜トランジスタ(Q_D)及び一端が前記駆動用の薄膜トランジスタ(Q_D)のドレーンに連結されて、他端が共通電極電圧(V_{COM})に連結された有機電界発光素子(OLED)を構成される。ここで、前記スイッチング薄膜トランジスタ(Q_S)はゲートに電源が印加されることによってターンオンするNタイプ薄膜トランジスタであり、前記駆動用の薄膜トランジスタ(Q_D)はゲートに電源が印加されることによってターンオフするPタイプ薄膜トランジスタである。

【0007】

動作時に、ゲート信号により前記スイッチング薄膜トランジスタ(Q_S)がターンオンされ、この時に各データ信号が前記駆動用の薄膜トランジスタ(Q_D)のゲート電圧に印加される。この時に前記ゲート電圧は前記ストレージキャパシタ(Cst)により1フレーム間維持される。この時に前記駆動用の薄膜トランジスタ(Q_D)のチャンネルコンダクタンス(Channel conductance)は前記駆動用の薄膜トランジスタ(Q_D)に印加されたゲート電圧とソースに該当するバイアス電圧により決定される。そして、前記有機電界発光素子(OLED)の両端にかかる電圧の大きさは前記バイアス電圧(Vdd)と前記共通電極電圧(V_{COM})との間に印加された電圧が前記駆動用の薄膜トランジスタ(QD)と直列で連結された有機電界発光素子(OLED)

10

20

30

40

50

の電圧分配により決定され、決定された電圧分配に該当する電流が前記有機電界発光素子(OLED)を通じて流れながら前記有機電界発光素子(OLED)が発光するようになる。

【0008】

ここで、各ビクセルに同一なデータ信号が前記スイッチング薄膜トランジスタ(Q_8)を経由して前記駆動用の薄膜トランジスタ(Q_9)のゲートに印加されて各ビクセルの駆動用の薄膜トランジスタ(Q_9)のゲートソース間の電圧(V_{GS})が同一に決定されるにしても各駆動用の薄膜トランジスタ(Q_9)の特性によって電圧分配が異なり、前記有機電界発光素子(OLED)は各々に異なる電流が異なる。したがって、各ビクセル別に同一なデータ信号に対して明るさが異なる画質の不均一が発生する問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の技術的課題は、このような従来の問題点を解決するためのものであり、本発明の目的はビクセルに具備される駆動用の薄膜トランジスタの特性を補償して画質の不均一を解決するための有機電界発光駆動素子を提供することである。

【0010】

また、本発明の他の目的は前記した有機電界発光表示素子を有する有機電界発光表示パネルを提供することである。

【課題を解決するための手段】

【0011】

前記した本発明の目的を実現するための一つの特徴による有機電界発光駆動素子は、第1方向に配列された複数のデータラインと前記第1方向とは異なる第2方向に配列された複数のゲートラインにより定義される領域に各々具備されて、一端が共通電極端に連結されて、流れる電流に responding して発光する有機電界発光素子の駆動素子において、第1段に連結されたゲートラインを通じて印加される現在のゲート信号に responding して第2段に連結されたデータラインを通じて印加されるデータ信号を、第3段を通じて出力する第1スイッチング素子と、第1段を通じて印加される以前のゲート信号に responding して第2段に連結された基準電圧を、第3段を通じて出力する第2スイッチング素子と、第1段が前記第1スイッチング素子の第3段に連結されて、第2段と第3段が共通連結された第3スイッチング素子と、第1段が電流供給ラインに連結されて、第2段が前記第3スイッチング素子の共通段に連結されて、前記共通段を通じて入力される信号に responding して第3段を通じて前記有機電界発光素子に前記電流を提供する第4スイッチング素子とを含んでなされる。

【0012】

また、前記した本発明の他の目的を実現するための一つの特徴による有機電界発光表示パネルは、第1方向に配列され、データ信号を伝達するデータラインと、前記第1方向とは異なる第2方向に配列されて、ゲート信号を伝達するゲートラインと、バイアス電源を伝達する電流供給ラインと、一端が共通電極端に連結されて、流れる電流の量に responding して発光する有機電界発光素子と、第1段を通じて伝えられる現在のゲート信号に responding して第2段に連結されたデータラインを通じて印加されるデータ信号を、第3段を通じて出力する第1スイッチング素子と、第1段を通じて印加される以前のゲート信号に responding して第2段に連結された基準電圧を、第3段を通じて出力する第2スイッチング素子と、第1段が前記第1スイッチング素子の第3段に連結されて、第2段と第3段とが共通連結された第3スイッチング素子と、第1段が前記電流供給ラインに連結され、第2段が前記第3スイッチング素子の共通段に連結されて、前記共通段を通じて入力される信号に responding して第3段を通じて前記有機電界発光素子に前記電流を提供する第4スイッチング素子とを含んでなされる。

【発明の効果】

【0013】

このような有機電界発光駆動素子とこれを有する有機電界発光表示パネルによると、各ビクセルごとにお互い特性が異なる駆動用の薄膜トランジスタに対して同一データ信号に対して同一電流を流れるようにすることができる。

10

20

30

40

50

【発明を実施するための最良の形態】

【0014】

以上のような本発明の目的と別の特徴及び長所などは次に参照する本発明の好適な実施例に対する以下の説明から明確になるであろう。

【0015】

以下、添付した図面を参照して、本発明をより詳細に説明する。

図3は本発明の第1実施例による有機電界発光駆動素子を説明するための図面であり、図4は前記した図3に印加される信号の波形を説明するための図面である。

【0016】

図3及び図4を参照すると、本発明の第1実施例による有機電界発光駆動素子はスイッチング機能を遂行する第1薄膜トランジスタ(T1)、第2薄膜トランジスタ(T2)、第3薄膜トランジスタ(T3)、駆動機能を有する第4薄膜トランジスタ(T4)、第5薄膜トランジスタ(T5)、共通電極電圧(V_{COH})に連結された有機電界発光素子(OLED)及びストレージキャパシタ(Cst)でなされて一つの単位ピクセルを定義し、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。この時に前記電流供給ライン(V_{dd})はモリブデンタンクステン(MoW)でなされる単一金属層または前記モリブデンタンクステン(MoW)層に積層されたアルミニウムネオジウム($AlNd$)層でなされる二重金属層で形成され、前記データラインを形成する時にデータラインと平行な方向、すなわち、垂直方向に形成され、各電流供給ラインにはゲートラインの数だけ画素が連結される。

【0017】

ここで、一つの単位ピクセルは $m \times n \times 3$ の解像度を有する有機電界発光表示パネル上でP及びP+1番目のデータラインと、q 1及びq番目のゲートラインにより定義されるものとして説明する。また、前記第1及び第2薄膜トランジスタ(T1、T2)各々はそれぞれのゲートに該当薄膜トランジスタのしきい電圧より高いレベルのゲート信号が印加される時にターンオンするNタイプの薄膜トランジスタであり、前記第3ないし第5薄膜トランジスタ(T3、T4、T5)各々はそれぞれのゲートに該当薄膜トランジスタのしきい電圧より低いレベルのゲート信号が印加される時にターンオンするPタイプの薄膜トランジスタである。

【0018】

前記第1薄膜トランジスタ(T1)はゲートが現在のゲートライン(G_q)に連結されて、ソースがデータライン(D_p)に連結され、前記現在のゲートライン(G_q)を通じて印加されるゲート信号にตอบสนองしてソースを通じて入力されるデータ信号を、ドレーンを通じて前記第3薄膜トランジスタ(T3)に出力する。

【0019】

前記第2薄膜トランジスタ(T2)はゲートが以前のゲートライン(G_{q-1})に連結されて、ソースが基準電圧(V_{ref})を供給する基準電圧ラインに連結されて、以前のゲートラインを通じて印加されるゲート信号にตอบสนองしてソースを通じて入力される前記基準電圧(V_{REF})を、ドレーンを通じて前記第4薄膜トランジスタ(T4)に出力する。

【0020】

前記第3薄膜トランジスタ(T3)はソースが前記第1薄膜トランジスタ(T1)のドレーンに連結されて、ゲートとドレーンとが共通連結されて前記ストレージキャパシタ(Cst)及び第4薄膜トランジスタ(T4)のゲートに連結されて、前記第1薄膜トランジスタ(T1)から提供されるデータ電圧を前記第4薄膜トランジスタ(T4)に出力する。

【0021】

前記第4薄膜トランジスタ(T4)はソースがバイアス電圧(V_{dd})を供給する前記電流供給ラインに連結されて、ゲートが前記ストレージキャパシタ(Cst)の一端及び前記第3薄膜トランジスタ(T3)のドレーンに連結されて、ドレーンを通じて前記バイアス電圧(V_{dd})を出力する。ここで、前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)の特性は同一であるが、あるいは類似なものが望ましい。

【0022】

前記第5薄膜トランジスタ(T5)はソースが前記第4薄膜トランジスタ(T4)のドレーンに連

10

20

30

40

50

結まれて、ゲートが直前のゲートラインに連結されて、直前のゲート信号に responding して前記第4薄膜トランジスタ(T4)を通じて入力される前記バイアス電圧(V_{dd})を、ドレインを通じて出力する。

【0023】

前記ストレージキャパシタ(C_{st})は一端が前記第2ないし第4薄膜トランジスタ(T2、T3、T4)のゲートに共通連結されて、他端が前記バイアス電圧(V_{dd})に連結されて、前記バイアス電圧(V_{dd})を充電している途中、1フレームの間に充電されたバイアス電圧(V_{dd})を前記第4薄膜トランジスタ(T4)のゲートに提供する。

【0024】

前記有機電界発光素子(OLED)は一端が前記第5薄膜トランジスタ(T5)のドレインに連結されて、他端が前記共通電極電圧(V_{com})に連結されて、前記第5薄膜トランジスタ(T5)を通じて入力される信号、望ましくは電流に responding して光を射出する。

【0025】

すると、添付する図面を参照して、本発明の第1実施例による有機電界発光駆動素子の動作をより詳細に説明する。

【0026】

図5及び図6は前記した図3の動作を図式的に説明するための図面である。特に、図5は以前のゲートラインにゲート信号が印加される時の動作を図式的に説明するための図面であり、図6は現在のゲートラインにゲート信号が印加される時の動作を図式的に説明するための図面である。

【0027】

図5に示すように、直前のゲートラインを選択するゲート信号が印加されることによって前記第1及び第3ないし第5薄膜トランジスタ(T1、T3、T4、T5)はターンオフ状態を維持し、前記第2薄膜トランジスタ(T2)はターンオンされて前記第4薄膜トランジスタ(T4)のゲートには前記基準電圧ラインから提供される基準電圧(V_{ref})が印加される。この時の基準電圧(V_{ref})は下記の式1の条件を満足することが望ましい。

【0028】

$$[V_{gate\ off}(T1)] \leq V_{ref} \leq [V_{data_min} + V_{th}(T3)] \cdots (式1)$$

ここで、前記V_{gate off}(T1)は第1薄膜トランジスタ(T1)のゲートオフ電圧であり、前記V_{data_min}はデータライン(DP)に印加されるデータ電圧の最小値であり、前記V_{th}(T3)は第3薄膜トランジスタ(T3)のしきい電圧であり、負(Negative)の電圧である。

【0029】

続いて、図6に示すように、現在のゲートラインを選択するゲート信号が印加されることによって、前記第1薄膜トランジスタ(T1)はターンオンされてソースを通じて印加されるデータ電圧をドレインに連結された前記第3薄膜トランジスタ(T3)に提供する。この時、前記ストレージキャパシタ(C_{st})には電荷が充電されて前記第3薄膜トランジスタ(T3)のゲートにはハイレベルが印加されるために前記第3薄膜トランジスタ(T3)はターンオンされて前記第1薄膜トランジスタ(T1)を経由するデータ電圧を前記第4薄膜トランジスタ(T4)のゲートに提供する。この時、前記第4薄膜トランジスタ(T4)に流れる電流の大きさを決定する実質的なゲートソース電圧[V9s'(T4)]は下記の式2のようにある。

$$V9s'(T4) = V9s(T4) + V_{th}(T4) \cdots (式2)$$

ここで、前記第4薄膜トランジスタ(T4)のゲートソース電圧は、前記第4薄膜トランジスタ(T4)のゲート電圧とバイアス電圧(V_{dd})の差電圧であるために、下記の式3のようになる。

$$V9s(T4) = V9(T4) - V_{dd} \cdots (式3)$$

また、前記第4薄膜トランジスタ(T4)のゲート電圧は、データ電圧と前記第3薄膜トランジスタ(T3)とのしきい電圧(V_{th})間の差電圧であり、前記第3薄膜トランジスタ(T3)のしきい電圧(V_{th}(T3))は負の電圧であるために、下記の式4のようになる。

$$V9(T4) = V_{data} + V_{th}(T3) \cdots (式4)$$

また、前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)の特性は同一なもの

10

20

40

50

して仮定したために、前記第3弾膜トランジスタ(T3)のしきい電圧(Vth)は下記の式5のよ
うに前記第4弾膜トランジスタ(T4)のしきい電圧(Vth)と同一である。

$$V_{th(T3)} = V_{th(T4)} \cdots \text{(式5)}$$

したがって、前記の式2ないし式5を基に前記した式3を再び整理すると、前記第4弾膜ト
ランジスタ(T4)に流れる電流の大きさを決定する実質的なゲートソース電圧[V9s'(T4)]
は下記の式6のようになる。

$$V9s'(T4) = Vdata - Vdd \cdots \text{(式6)}$$

前記の式6に記載したように、前記第4弾膜トランジスタ(T4)に流れる電流の大きさを決
定する実質的なゲートソース電圧[V9s'(T4)]は前記データライン(Dp)を通じて印加され
るデータ電圧(Vdata)と外部の電流供給ラインを通じて印加されるバイアス電圧(Vdd)の差
電圧であることとを確認することができる。

【0030】

したがって、すべてのピクセルに具備されて駆動動作を遂行する前記第4弾膜トランジ
スタ(T4)が検出する実質的なゲートソース電圧[V9s'(T4)]は前記データライン(Dp)を経
由して印加されるデータ電圧(Vdata)と外部で電流供給ラインを経由して印加されるバイ
アス電圧(Vdd)の大きさに関連があり、前記第4弾膜トランジスタ(T4)のしきい電圧(Vth)
とは関連が無いことを確認することができる。

【0031】

以上で説明したように、前記第3弾膜トランジスタ(T3)と第4弾膜トランジスタ(T4)の特
性が同一または類似であるという仮定下で本発明は各ピクセルごとに特性が異なる第4弾
膜トランジスタ(T4)のしきい電圧(Vth)を補償することにより、各ピクセルごとにお互い
特性が異なる駆動用の弾膜トランジスタ(第4弾膜トランジスタ(T4)に該当)に対して同一
データ信号に対して同一電流を流れるようにすることができる。

【0032】

以上では単位ピクセルに基準電圧を提供するために別の基準電圧ラインを具備すること
を説明したが、前記した基準電圧ラインを省略しても具現することができる。

【0033】

図7は本発明の第2実施例による有機電界発光駆動素子を説明するための図面であり、
特に単位ピクセルに提供される基準電圧を以後のゲートラインに印加されるゲート信号と
して利用する有機電界発光駆動素子を図示する。

【0034】

図7を参照すると、本発明の第2実施例による有機電界発光駆動素子はスイッチング機
能を遂行する第1弾膜トランジスタ(T1)、第2弾膜トランジスタ(T2)、第3弾膜トランジス
タ(T3)、駆動機能をする第4弾膜トランジスタ(T4)、第5弾膜トランジスタ(T5)、共通電極
電圧(Vcom)に連結された有機電界発光素子(OLED)、ストレージキャパシタ(Cst)をなされ
て一つの単位ピクセルを形成し、ゲート信号を伝達するゲートラインと、データ信号を伝
達するデータラインに囲まれた領域に配置される。前記した図3と比較する時に同一構成
要素に対しては同一の図面番号を付与して、その説明は省略する。ここで、前記基準電圧
(Vref)は現在のゲートライン(Gq)を通じて印加されるゲート信号である。

【0035】

動作時、以前のゲートラインにゲート信号が印加されることによって前記第1及び第3な
いし第5弾膜トランジスタ(T1、T3、T4、T5)はターンオフ状態を維持し、前記第2弾膜ト
ランジスタ(T2)はターンオンされて前記第4弾膜トランジスタ(T4)のゲートにはオフレ
ベルの基準電圧(Vref)が印加される。この時の前記基準電圧(Vref)は現在のゲートラインに
印加されるゲート信号であるためにオフレベルである。

【0036】

一方、現在のゲートラインにゲート信号が印加されることによって前記第1弾膜トラン
ジスタはターンオンされてソースを通じて印加されるデータ電圧をドレインに連結され
た前記第3弾膜トランジスタに提供する。この時、前記ストレージキャパシタ(Cst)には電
荷が充電されて前記第3弾膜トランジスタ(T3)のゲートにはハイレベルが印加されるため

20

30

40

50

に前記第3薄膜トランジスタ(T3)はターン オンされて前記第1薄膜トランジスタ(T1)を経由するデータ電圧を前記第4薄膜トランジスタ(T4)のゲートに提供する。

【0087】

以上で説明したように、本発明の第2実施例によると現在のピクセルを駆動するために現在のゲートラインには常にハイレベルのゲート信号が印加されるために別の基準電圧ラインを具備しなくても前記第2薄膜トランジスタ(T2)に基準電圧(Vref)を提供することができる。

【0088】

図8は本発明の第3実施例による有機電界発光駆動素子を説明するための図面であり、特に前記した図3で第5薄膜トランジスタを省略した例である。

【0089】

図8を参照すると、本発明の第3実施例による有機電界発光駆動素子はスイッチング機能を遂行する第1薄膜トランジスタ(T1)、第2薄膜トランジスタ(T2)、第3薄膜トランジスタ(T3)、駆動機能をする第4薄膜トランジスタ(T4)、共通電極電圧(V_{com})に連結された有機電界発光素子(OLED)及びミストレージキャパシタ(Cst)でなされて一つの単位ピクセルを形成し、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。前記した図3と比較する時に同一な構成要素に対しては同一な図面番号を付して、その説明は省略する。

【0090】

動作時、以前のゲートラインにゲート信号が印加されることによって前記第1、第3及び第4薄膜トランジスタ(T1、T3、T4)はターン オフ状態を維持して、前記第2薄膜トランジスタ(T2)はターン オンされて前記第4薄膜トランジスタ(T4)のゲートには基準電圧ラインから提供される基準電圧(Vref)が印加される。この時、前記基準電圧(Vref)は前記した式1で示す通りである。

【0091】

一方、現在のゲートラインにゲート信号が印加されることによって前記第1薄膜トランジスタ(T1)はターン オンされてソースを通じて印加されるデータ電圧をドレインに連結された第3薄膜トランジスタ(T3)に提供する。この時、前記ミストレージキャパシタ(Cst)には電荷が充電されて前記第3薄膜トランジスタ(T3)のゲートにはハイレベルが印加されるために前記第3薄膜トランジスタ(T3)はターン オンされて前記第1薄膜トランジスタ(T1)を経由するデータ電圧を前記第4薄膜トランジスタ(T4)のゲートに提供する。

【0092】

以上で説明したように、本発明の第3実施例によると第4薄膜トランジスタに連結された第5薄膜トランジスタを省略しても各ピクセルごとに特性が異なる第4薄膜トランジスタ(T4)のしきい電圧(V_{th})を補償することにより、各ピクセルごとにお互い特性が異なる駆動用の薄膜トランジスタ(第4薄膜トランジスタ(T4)に該当)に対して同一データ信号に対して同一電流が流れるようにすることができる。

【0093】

一方、前記した本発明の第1ないし第3実施例では現在のピクセルを駆動するために必ず以前のゲートラインが存在しなければならない。すると、前記した本発明の第1ないし第3実施例を有機電界発光表示パネルに実際に適用する時の一例に対して添付する図面を参照して簡略に説明する。

【0094】

図9は前記した図3の有機電界発光駆動素子を採用した有機電界発光表示パネルの一例を説明するための図面である。

【0095】

図9に示すように、本発明の一実施例による有機電界発光表示パネルはコラム方向にn個のピクセルを具備し、前記n個のピクセルに走査信号であるゲート信号を順次に提供するためにn個のゲートラインを具備する。この時、実質的に画素駆動に利用されるn個のゲートライン、すなわち第1ないし第n番目のゲートライン(G1、G2、...、Gn-1、Gn)の以外に

10

20

30

40

50

前記第1ゲートライン(G1)に具備される前記第2及び第5薄膜トランジスタ(T2、T5)のゲートにゲート信号を印加するためのダミーゲートライン(G0)をさらに具備して、前記ダミーゲートライン(G0)は前記n番目のゲートライン(Gn)と同期させる。

【0046】

このように前記ダミーゲートライン(G0)と最終段のゲートライン(Gn)とを同期のために連結することにより前記ダミーゲートライン(G0)がフローティング状態で残されることを回避することができる。

【0047】

一方、図示しなかったが前記したダミーゲートラインと最終段のゲートラインとの連結なしにそれぞれのゲートラインにゲート信号を提供するゲートドライバーから別のゲート信号をさらに提供することができる。なぜなら、通例的にn個のゲートラインを駆動するためには前記ゲートドライバーがn個のゲート信号を順次にゲートラインに提供するので、この時に前記最終段のゲートラインにゲート信号を印加しながらこれと同時に前記ダミーゲートラインにゲート信号を印加することにより前記ダミーゲートラインがフローティング状態で残されることを回避できる。

【0048】

以上の本発明の第1ないし第3実施例では、一つのピクセルを横方向に伸張されて、縦方向に隣接して配列されるゲートラインと、縦方向に伸張されて、横方向に隣接して配列されるデータラインにより定義し、前記データラインと平行するように縦方向に伸張されて、横方向に配列される電流供給ラインと連結された駆動用の薄膜トランジスタ(すなわち、第4薄膜トランジスタ(T4))のしきい電圧を補償することを説明した。

【0049】

しかし、前記電流供給ラインが前記データラインと平行になるとクロストークが発生する危険がある。すなわち、電流供給ラインが縦方向に伸張された時に一番目のピクセルにはフルレベルのバイアス電圧が印加されるが、だんだん下位ピクセルにあり行くほどレベル低減されたバイアス電圧が印加される。その結果、一番目のピクセルに配列される第4薄膜トランジスタのゲートソース間の電圧($V_{gs1}(T4)$)から最後の番目であるn番目のピクセルに配列される第4薄膜トランジスタのゲートソース間の電圧($V_{gsn}(T4)$)間の差は発生する。前記したピクセル間のゲートソース電圧の差により同一レベルのデータ電圧が隣接するそれぞれのピクセルに各々印加されるにしても、それぞれのピクセルに具備される第4薄膜トランジスタのソースで感ずる電圧差が発生するので下位ピクセルにあり行くほどクロストークがひどく発生する。このようなクロストークは結果的に画質の悪影響を誘発するようになる。

【0050】

前記したクロストークの発生を減らすための変形例に対して後述する図面を参照して説明する。

【0051】

図10は本発明の第4実施例による有機電界発光駆動素子を説明するための図面である。特に、電流供給ラインの伸張方向をゲートラインの伸張方向と平行するように具現した例を図示する。

【0052】

図10に示すように、本発明の第4実施例による有機電界発光駆動素子はスイッチング機能を行なう第1薄膜トランジスタ(T1)、第2薄膜トランジスタ(T2)、第3薄膜トランジスタ(T3)、駆動機能をする第4薄膜トランジスタ(T4)、第5薄膜トランジスタ(T5)、共通電極電圧(V_{com})に連結された有機電界発光素子(OLED)及びストレージキャパシタ(Cst)をなされて一つの単位ピクセルを形成して、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。前記した図3と比較する時に同一な構成要素に対しては同一図面番号を付与して、その説明は省略する。ここで、第5薄膜トランジスタ(T5)のゲートは現在のゲートライン(Gn)に連結されて現在のゲート信号にตอบสนองしてオン/オフされる。

10

20

30

40

50

【0058】

動作時、直前のゲートライン(Gq 1)にゲート信号が印加されることによって前記第1、第3及び第4薄膜トランジスタ(T1、T3、T4)はターン オフ状態を維持し、前記第2及び第5薄膜トランジスタ(T2)はターン オンされて、前記第4薄膜トランジスタ(T4)のゲートには基準電圧ラインから提供される基準電圧(Vref)が印加される。この時、前記基準電圧(Vref)は前記した式1で示す通りである。

【0054】

一方、現在のゲートライン(Gq)にゲート信号が印加されることによって前記第1薄膜トランジスタ(T1)はターン オンされてソースを通過してデータライン(Dp)から印加されるデータ電圧をドレインに連結された前記第3薄膜トランジスタ(T3)に提供する。この時、前記ストレージキャパシタ(Cst)には電荷が充電されて前記第3薄膜トランジスタ(T3)のゲートにはハイレベルが印加されるために前記第3薄膜トランジスタ(T3)はターン オンされて前記第1薄膜トランジスタ(T1)を経由するデータ電圧を前記第4薄膜トランジスタ(T4)のゲートに提供する。

【0055】

以上で説明したように、本発明の第4実施例によると駆動機能を遂行する第4薄膜トランジスタに所定のバイアス電圧を印加する電流供給ラインをゲートラインと平行するように構成しても前記第4薄膜トランジスタの特性を補償できるだけでなく、縦方向に配列されたピクセル間のクロストークを除去できる。

【0056】

図11は本発明の第5実施例による有機電界発光駆動素子を説明するための図面である。特に、電流供給ラインの伸張方向をゲートラインの伸張方向と平行するように具現しながらも別の薄膜トランジスタをさらに具備した例を図示する。

【0057】

図11に示すように、本発明の第5実施例による有機電界発光駆動素子はスイッチング機能を遂行する第1薄膜トランジスタ(T1)、第2薄膜トランジスタ(T2)、第3薄膜トランジスタ(T3)、駆動機能をする第4薄膜トランジスタ(T4)、第5薄膜トランジスタ(T5)、第6薄膜トランジスタ(T6)、共通電極電圧(Vcom)に連結された有機電界発光素子(OLED)及びミストレージキャパシタ(Cst)をなされて一つの単位ピクセルを形成して、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。

【0058】

図10と比較する時、同一構成要素に対しては同一図面番号を付して、その説明は省略する。ここで、第5薄膜トランジスタ(T5)はPタイプの薄膜トランジスタであり、ゲートは以前のゲートライン(Gq 1)に連結されて以前のゲート信号にตอบสนองしてオン/オフされる。

【0059】

また、第6薄膜トランジスタ(T6)はNタイプの薄膜トランジスタであり、ソースは前記第5薄膜トランジスタ(T5)のドレインに連結されて、ドレインは有機電界発光素子(OLED)に連結され、ゲートは現在のゲートライン(Gq)に連結されて現在のゲート信号にตอบสนองしてオン/オフする。

【0060】

動作時、以前のゲートライン(Gq 1)にゲート信号が印加されることによって前記第1、第3、第4、第5、第6薄膜トランジスタ(T1、T3、T4、T5、T6)はターン オフ状態を維持し、前記第2薄膜トランジスタ(T2)はターン オンされて、前記第4薄膜トランジスタ(T4)のゲートには基準電圧ラインから提供される基準電圧(Vref)が印加される。この時の基準電圧(Vref)は前記した式1で示す通りである。

【0061】

一方、現在のゲートライン(Gq)にゲート信号が印加されることによって前記第1薄膜トランジスタ(T1)はターン オンされてソースを通過してデータライン(Dp)から印加されるデータ電圧をドレインに連結された第3薄膜トランジスタ(T3)に提供する。この時、前記ス

10

20

30

40

50

トレージキャパシタ(Cst)には電荷が充電されて前記第3薄膜トランジスタ(T3)のゲートにはハイレベルが印加されるために前記第3薄膜トランジスタ(T3)はターン オンされて前記第1薄膜トランジスタ(T1)を経由するデータ電圧を前記第4薄膜トランジスタ(T4)のゲートに提供する。

【0062】

以上で説明したように、本発明の第5実施例によると駆動機能を遂行する第4薄膜トランジスタに所定のバイアス電圧を印加する電流供給ラインをゲートラインと平行になるように構成して、現在のゲート信号にオン/オフ応答する別の薄膜トランジスタを有機電界発光素子の入力端に構成しても前記第4薄膜トランジスタの特性を補償できるだけでなく、縦方向に配列されたピクセル間のクロストークを除去できる。

【0063】

以上で説明したように、本発明の第1ないし第5実施例では一つの単位ピクセルに具備される前記第1及び第2薄膜トランジスタをNタイプの薄膜トランジスタで具現して、前記第3ないし第5薄膜トランジスタをPタイプの薄膜トランジスタで具現する一例を中心に説明した。しかし、一般的に薄膜トランジスタがスイッチング動作を遂行する点を勘案すると後述する図12のように、一つの単位ピクセルに具備される第1ないし第4薄膜トランジスタをPタイプの薄膜トランジスタで具現して、第5薄膜トランジスタをNタイプの薄膜トランジスタで具現することができる。

【0064】

図12は本発明の第6実施例による有機電界発光駆動素子を説明するための図面であり、図13は前記した図12に印加される信号の波形を説明するための図面である。

【0065】

図12を参照すると、本発明の第6実施例による有機電界発光駆動素子はスイッチング機能を有する第1薄膜トランジスタ(T21)、第2薄膜トランジスタ(T22)、第3薄膜トランジスタ(T23)、駆動機能をする第4薄膜トランジスタ(T24)、第5薄膜トランジスタ(T25)、有機電界発光素子(OLED)及びストレージキャパシタ(Cst)をなされて一つの単位ピクセルを形成し、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。ここで、前記第1ないし第4薄膜トランジスタ(T21、T22、T23、T24)各々は該当薄膜トランジスタのゲートにしきい電圧より低いレベルのゲート信号が印加される時、ターン オンするPタイプの薄膜トランジスタであり、前記第5薄膜トランジスタ(T25)は該当薄膜トランジスタのゲートにしきい電圧より高いレベルのゲート信号が印加される時にターン オンするNタイプの薄膜トランジスタである。

【0066】

この時、前記ゲートラインに印加されるゲート信号は図13に図示したように、反転されたゲート信号である。すなわち、前記第1薄膜トランジスタ(T21)がPタイプの薄膜トランジスタであるために前記ゲートラインを選択するゲート信号がアクティブハイである時には前記ゲートラインが非活性状態を維持していて、前記ゲート信号がアクティブローである時には前記ゲートラインを活性状態で維持するようになる。このように、反転されたゲート信号を、有機電界発光駆動素子を採用する有機電界発光表示パネルに提供するためにはゲート信号を順次に出力するゲートドライバ(図示せず)に一種の反転器をさらに具備させることによって具現が可能である。

【0067】

動作時、以前のゲートライン(Gq 1)を選択するローレベルのゲート信号が印加されることによって前記第1及び第3ないし第5薄膜トランジスタ(T21、T23、T24、T25)はターン オフ状態を維持し、前記第2薄膜トランジスタ(T22)はターン オンされて前記第4薄膜トランジスタ(T24)のゲートには基準電圧(Vref)が印加される。この時、前記基準電圧(Vref)は下記の式7と式8の条件を同時に満足することが望ましい。

【0068】

$$V_{ref} < V_{gate\ off}(T21) \quad \cdots (式7)$$

ここで、前記 $V_{gate\ off}(T21)$ は前記第1薄膜トランジスタ(T21)のゲートオフ電圧であ

10

20

30

40

50

る。

【0069】

$$V_{ref} < [V_{data_min} + V_{th(T23)}] \cdots (式8)$$

ここで、前記 V_{data_min} は前記データライン(Dp)に印加されるデータ電圧の最小値であり、前記 $V_{th(T23)}$ は前記第3薄膜トランジスタ(T23)のしきい電圧である。

【0070】

続いて、現在のゲートラインを選択するローレベルのゲート信号が印加されることによって、前記第1薄膜トランジスタ(T1)はターン オンされソースを通じて印加されるデータ電圧をドレインに連結された前記第3薄膜トランジスタ(T23)に提供する。この時、前記ストレージキャパシタ(Cst)には電荷が充電されて前記第3薄膜トランジスタ(T23)のゲートにはハイレベルが印加されるために前記第3薄膜トランジスタ(T23)はターン オンされて前記第1薄膜トランジスタ(T21)を経由するデータ電圧を前記第4薄膜トランジスタ(T24)のゲートに提供する。この時、前記第4薄膜トランジスタ(T24)に流れる電流の大きさを決定する実質的なゲート ソース電圧 $[V_{gs'}(T24)]$ は下記の式9のようになる。

【0071】

$$V_{gs'}(T24) = V_{gs}(T24) + V_{th}(T24) \cdots (式9)$$

ここで、前記第4薄膜トランジスタ(T24)のゲート ソース電圧は前記第4薄膜トランジスタ(T24)のゲート電圧とバイアス電圧(Vdd)の差電圧であるから下記の式10のようになる。

【0072】

$$V_{gs}(T24) = V_{g(T24)} - V_{dd} \cdots (式10)$$

ここで、前記第4薄膜トランジスタ(T24)のゲート電圧は前記データ電圧と前記第3薄膜トランジスタ(T23)のしきい電圧(V_{th})と間の差電圧であるから下記の式11のようになる。

$$V_{g(T24)} = V_{data} + V_{th}(T23) \cdots (式11)$$

また、前記第3薄膜トランジスタ(T23)と第4薄膜トランジスタ(T24)との特性は同一であると仮定したために、前記第3薄膜トランジスタ(T23)のしきい電圧(V_{th})は下記の式12のように前記第4薄膜トランジスタ(T24)のしきい電圧(V_{th})と同一である。

$$V_{th}(T23) = V_{th}(T24) \cdots (式12)$$

したがって、前記した式10ないし式12を基に前記した式9を再び整理すると、下記の式13のようになる。

$$V_{gs'}(T24) = V_{data} - V_{dd} \cdots (式13)$$

前記した式13に記載したように、前記第4薄膜トランジスタ(T24)に流れる電流の大きさを決定する実質的なゲート ソース電圧 $[V_{gs'}(T24)]$ は前記データライン(Dp)を通じて印加される前記データ電圧(V_{data})と外部の電流供給ラインを通じて印加されるバイアス電圧(V_{dd})の差電圧であることを確認することができる。

【0073】

したがって、あらゆるビクセルに具備されて駆動動作を遂行する第4薄膜トランジスタ(T24)が感じる実質的なゲート ソース電圧 $[V_{gs'}(T24)]$ は前記データライン(Dp)を経由して印加されるデータ電圧(V_{data})と外部の電流供給ラインを経由して印加されるバイアス電圧(V_{dd})の大きさにのみ関係があり、前記第4薄膜トランジスタ(T24)のしきい電圧(V_{th})とは関係が無いことを確認することができる。

【0074】

以上で説明したように、本発明は各ビクセルごとに特性が異なる第4薄膜トランジスタ(T4)のしきい電圧(V_{th})を補償することにより、各ビクセルごとにお互いの特性が異なる駆動用の薄膜トランジスタ(第4薄膜トランジスタ(T24)に該当)に対して同一データ信号に対して同一電流が流れるようにすることができる。この時、単位ビクセルに具備されてスイッチング用の薄膜トランジスタ(T1)を通じて伝えられるデータ信号を伝達する前記第3薄膜トランジスタ(T3)と前記第3薄膜トランジスタ(T3)と前記電流供給ライン(Vdd)に連結される駆動用の薄膜トランジスタである前記第4薄膜トランジスタ(T4)の特性が同一または類似であることを条件とする。

【0075】

10

20

30

40

50

一方、一般的に前記した薄膜トランジスタは多層で構成されて半導体層、絶縁層、保護層及び電極層に分けられる。ここで、半導体層としてはアモルファスシリコン(Amorphous Silicon)またはポリシリコン(Poly silicon)等が使われて、絶縁層としてはシリコン窒化膜(Si_3N_4)、シリコン酸化膜(SiO_2)、酸化アルミニウム(Al_2O_3)、タンタルオキไซด์(Ta_2O_5)等が使われて、保護層としては透明有機絶縁物質または絶縁物質が利用でき、電極層としてはアルミニウム(Al)、クロム(Cr)、モリブデン(Mo)等の金属導電性物質が一般的に用いられる。これら各要素による物質は蒸着装置(Deposition Apparatus)すなわち、スパッタリング(sputtering)装置、化学気相蒸着(Chemical vapor deposition : CVD)装置などを使用して成膜した後リソグラフィ(Lithography)技術を使って素子の各要素を形成される。

【0076】

このように構成された各構成層のうち前記半導体層は電子が流れる伝導チャネルとして役割をして、前記電極層はソース電極、ドレイン電極及びゲート電極で構成される。この時、ソース電極は前記半導体層に信号電圧を印加する手段であり、前記ソース電極は前記半導体層を通じて信号電圧を前記ドレイン電極に放出する手段であり、前記ゲート電極は前記ソース電極で前記ドレイン電極に電流の流れをスイッチングする手段である。

【0077】

したがって、前記した薄膜トランジスタはスイッチング素子として使用するようになって、アクティブマトリックスタイプの有機電界発光表示装置のためのスイッチング要素として応用される。このようなアクティブマトリックス有機電界発光表示装置はセレン化カドミウム(CdSe)、水素化されたアモルファスシリコン(a-Si:H)、ポリクリスタルラインシリコン(Poly crystalline silicon : poly Si)が半導体層として使われた薄膜トランジスタを使用することによって成功的な構成が可能になった。

【0078】

このように、前記薄膜トランジスタの半導体層として使われる物質のうちアモルファスシリコンは工程が簡単であり、低温で処理されることができるとともに、既にソーラーセル(Solar cell)のような大面積素子の製作に使われている。また、アモルファスシリコンを利用した素子の製作工程は最大温度が350℃程度の低温処理システムで単独に行なわれることができるために製作が便利である。しかし、実際に前記アモルファスシリコン内での低い電子移動度は薄膜トランジスタのスイッチングの動作特性に妨害の要因として作用し、また、高速で薄膜トランジスタを制御する駆動回路素子(Drive circuitry)と薄膜トランジスタの親合を難しくする短所がある。これに反して、ポリシリコンを半導体層として使用した薄膜トランジスタはアクティブマトリックス有機電界発光表示装置に適合である。

【0079】

前記ポリシリコンで製造される薄膜トランジスタは新しい処理段階が必要であるが、代りにアクティブマトリックス有機電界発光表示装置内のスイッチング素子としてアモルファスシリコンより何倍も速い応答速度を有している。また、幅広く使われるアモルファス薄膜トランジスタに比較してポリシリコンの最も大きい長所は高い電界効果移動度を有していることである。前記した電界効果移動度は薄膜トランジスタのスイッチング速度を決定し、アモルファスシリコンより数100倍速い。

【0080】

このような差は前記ポリシリコンがいろいろな結晶粒(Grain)で構成されて、前記アモルファスシリコンよりは欠陥が少ないという点に起因する。したがって、ポリシリコンは大面積スクリーンを有する次世代有機電界発光表示装置のためのスイッチングだけでなく、駆動回路の一体化が可能なる素子として期待される。

【0081】

前記したポリシリコンを結晶化する方法としては高温でアモルファスシリコンを結晶化するSPC(Solid phase crystallization)方法、アモルファスシリコン上に金属を蒸着して熱を加えることで結晶化するMIC(Metal induced crystallization)方法、レーザーを使用

10

20

30

40

50

して結晶化するエキシマレーザアニーリング(Excimer laser annealing)方法などがある。

【0082】

前記レーザ(laser)を使用する方法は低温工程処理が可能で低価格のガラス基板を使用できるように価格の競争力面で優秀である。特に、エキシマレーザアニーリング方法として製造された薄膜トランジスタは高速の移動速度を有するようになることと素子の動作特性が良い長所がある。

【0083】

前記したレーザを利用してアモルファスタイプの薄膜トランジスタを結晶化してポリシリコンタイプの薄膜トランジスタとして変形する例を図面を参照して簡略に説明する。

【0084】

図14と図15は本発明による第3及び第4薄膜トランジスタの製造方法を説明するための図面である。特に、同一の平面上で前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)を形成する時、レーザースキャンを利用してアモルファスタイプの薄膜トランジスタを結晶化させてポリシリコンタイプに変更するのに適合する製造方法を説明するための図面である。

【0085】

図14を参照すると、ガラス基板の同一の平面上にアモルファスタイプの前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)とを各々形成する。この時、前記第3及び第4薄膜トランジスタ(T3、T4)のゲートライン形成方向はお互いに平行であり、アクティブ層の上部に形成される前記第3及び第4薄膜トランジスタ(T3、T4)のそれぞれのソースとドレーンの配列を前記ゲートライン形成方向、すなわちレーザースキャン方向(Laser Scan Direction)と垂直な方向に形成する。その結果、前記アモルファスタイプの薄膜トランジスタを、レーザを通じて結晶化してポリシリコンタイプの薄膜トランジスタに変形することができる。

【0086】

一方、図14を参照すると、ガラス基板の同一の平面上にアモルファスタイプの前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)を各々形成する。この時、前記第3及び第4薄膜トランジスタ(T3、T4)のゲートライン形成方向は任意の仮想線上に同一に配置され、前記第3及び第4薄膜トランジスタ(T3、T4)のそれぞれのソースとドレーンの配列を前記ゲートライン形成方向、すなわちレーザースキャン方向と平行になるように形成する。その結果、前記アモルファスタイプの薄膜トランジスタを、レーザを通じて結晶化してポリシリコンタイプの薄膜トランジスタに変形することができる。

【0087】

結晶化の動作時、前記基板上にレーザビームパターンを形成するためのマスクと前記マスクのパターンを縮小して前記基板上に露光するための投影レンズを構成してレーザアニーリングを開始する。より詳細には、まず一定手段により前記レーザビームを均一化させて、前記マスクを通して前記基板上に形成されるビームの形態を決定する。続いて、縮小倍率の投影レンズを通して数μmのビーム幅を有したビームを形成する。続いて、XYステージ上に置かれた前記基板を移動させるか、または前記レーザビームを移動させながら前記レーザビームを通して前記アモルファスタイプの薄膜トランジスタを結晶化して前記ポリシリコンタイプの薄膜トランジスタを形成する。

【0088】

図18は前記した図3の有機電界発光駆動素子の平面図を説明するための図面であり、図17及び図18は前記した図18のA-A'線、B-B'線による有機電界発光表示装置それぞれの断面図である。ここで、図面符号10はガラス、石英、サファイアのような絶縁基板、20は遮断膜(blocking layer)、30はゲート絶縁膜、40は層間絶縁膜(Inter Layer Dielectric, ILD)、50はパッシベーション(Passivation layer)膜である。

【0089】

図18ないし18を参照すると、本発明による有機電界発光表示装置はガラス基板10上にシリコン酸化物をプラズマ化学気相蒸着(Plasma enhanced chemical vapor deposition)

10

20

30

40

50

：PECVD)方法により概略2000Åの厚さで蒸着された遮断膜20上に形成された5個の薄膜トランジスタ(T1、T2、T3、T4、T5)と1個のストレージキャパシタC、そして5個の配線(Gn 1、Gn、DL、Vdd、V_{REF})を構成される。この時、遮断膜20はポリシリコン膜に変更するための非晶質シリコン膜の結晶化間に熱損失を防止するためである。

【0090】

また、一つの単位ビクセルは第1方向に伸張される第1及び第2ゲートライン(Gn 1、Gn)と、前記第1方向とは異なる第2方向に伸張されるデータライン(DL)及び電流供給ライン(Vdd)により定義されて、基準電圧ライン(V_{REF})は前記第1方向に伸張されて前記単位ビクセルの中間に配置される。

【0091】

より詳細には、前記第1ゲートライン(Gn 1)は直前コラムのビクセルに具備される第1薄膜トランジスタ(T1)をオン/オフしてデータライン(DL)を通じて初期データ電圧及び低調データ電圧を印加する役割と共に現在コラムのビクセルに具備される前記第2薄膜トランジスタ(T2)と第5薄膜トランジスタ(T5)をオン/オフする役割をする。

【0092】

また、前記第2ゲートライン(Gn)は現在コラムのビクセルに具備されてスイッチング機能をする前記第1薄膜トランジスタ(T1)をオン/オフして前記データライン(DL)を通じて初期データ電圧及び低調データ電圧を印加する役割と共に次のコラムのビクセルに具備される前記第2薄膜トランジスタ(T2)と第5薄膜トランジスタ(T5)をオン/オフする役割をする。また、前記電流供給ライン(Vdd)にはディスプレイ信号の最大値が直流状状態にて一定に印加される。また、前記基準電圧ライン(V_{REF})は外部から供給される基準電圧を前記第2薄膜トランジスタ(T2)に供給する。

【0093】

前記第1薄膜トランジスタ(T1)は前記第2ゲートライン(Gn)とデータライン(DL)の交差点付近に配置された第1アクティブパターン110と、前記第2ゲートライン(Gn)から延長されて前記第1アクティブパターン110上を過ぎて行くゲート電極112と、前記データライン(DL)から延長されてゲート電極112の側の第1アクティブパターン110と接触するソース電極114と、そして前記ゲート電極112の他側の第1アクティブパターン110と接触する第1ドレーン電極118を含む。ここで、前記第1薄膜トランジスタ(T1)のゲート電極は前記第2ゲートライン(Gn)と連結されて、前記第1ソース電極は前記データライン(DL)と連結される。

【0094】

前記第2薄膜トランジスタ(T2)は第2アクティブパターン120と、第1ゲートライン(Gn 1)から延長されて前記第2アクティブパターン120上を越えるゲート電極122と、前記基準電圧ライン(V_{REF})から延長されて前記ゲート電極122側の第2アクティブパターン120と接触するソース電極124と、そして前記ゲート電極122の他側の第2アクティブパターン120と接触するドレーン電極128を含む。

【0095】

前記第3薄膜トランジスタ(T3)は第1アクティブパターン110と、前記第1ゲートライン(Gn 1)の形成時に形成されたメタルライン(G_M)から延長されて前記第1アクティブパターン110上を過ぎて行くゲート電極132と、前記基準電圧ライン(V_{REF})から延長されて前記ゲート電極132の側の第1アクティブパターン110と接触するソース電極134と、そして前記ゲート電極132の他側の第1アクティブパターン110と接触するドレーン電極138を含む。

【0096】

前記第4薄膜トランジスタ(T4)は第3アクティブパターン140と、前記メタルライン(G_M)から延長されて前記第3アクティブパターン140上を過ぎて行くゲート電極142と、前記基準電圧ライン(V_{REF})から延長されて前記ゲート電極142の側の第3アクティブパターン140と接触するソース電極144と、そして前記ゲート電極142の他側の第3アクティブパターンと接触するドレーン電極148を含む。

【0097】

10

20

30

40

50

前記第5薄膜トランジスタ(T5)は第4アクティブパターン140と、前記第1ゲートライン(G_{n1})から延長されて第4アクティブパターン140上を走るゲート電極152と、前記第4薄膜トランジスタ(T4)のドレーン電極146から延長されて前記ゲート電極152の側の第4アクティブパターン140と接触するソース電極154と、そして前記ゲート電極152の他側の第4アクティブパターン140と有機電界発光素子(EL)のアノード電極と接触するドレーン電極156とを含む。ここで、前記第1及び第2薄膜トランジスタ(T1、T2)はNタイプの薄膜トランジスタであり、前記第3ないし第5薄膜トランジスタ(T3、T4、T5)はPタイプの薄膜トランジスタとして形成することが望ましい。

【0098】

前記ストレージキャパシタ(Cst)は前記第1ゲートラインの形成時に形成されたメタルライン(G_M)と、前記メタルライン(G_M)の上部に配置された電流供給ライン(Vdd)により形成されて、1フレーム時間の間にデータ電圧を一定に維持させる役割をする。

【0099】

一方、前記した5個の薄膜トランジスタ(T1、T2、T3、T4、T5)と1個のストレージキャパシタ(C)と、そして5個の配線(Gn1、Gn、DL、V_{REF})で構成される有機電界発光表示パネルの単位ピクセルの上部に形成されてITOアノード電極が露出された開口部及び有機絶縁膜(WALL)上にホール移動層(hole transfer layer: HTL)(図示せず)、発光層及び電子移動層(electron transfer layer: ETL)(図示せず)を順次に形成した後、その上に陰極電極(cathode electrode)(図示せず)を形成することによって有機電界発光表示パネルの単位ピクセルを完成する。

【0100】

以上で図示したように、本発明による前記第3薄膜トランジスタと第4薄膜トランジスタはデータラインの形成方向と平行するように形成される。このように、前記第3及び第4薄膜トランジスタをデータラインの形成方向と平行するように形成することにより、アモルファスタイプの薄膜トランジスタを構成した後、所定のレーザースキャン方法を通じて結晶化することにより、前記第3及び第4薄膜トランジスタの特性を同一または類似に具現することができる。

【0101】

以上では実施例を参照して説明したが、該当技術分野の熟練された当業者は下記の特許請求の範囲に記載された本発明の思想及び領域から抜け出さない範囲内で本発明を多様に修正及び変更することができることを理解することができる。

【0102】

以上で説明したように、本発明によると有機電界発光表示パネルの単位ピクセルに具備される駆動用の薄膜トランジスタのしきい電圧を補償することにより、画質の不均一を除去することができる。すなわち、前記駆動用の薄膜トランジスタが検出する実質的なゲートソース電圧が前記駆動用の薄膜トランジスタのしきい電圧とは関係がなく外部から印加されるバイアス電圧とデータ電圧のみに影響を受けるために画質の不均一を除去することができる。

【0103】

また、前記有機電界発光表示パネルに具備されてそれぞれの単位ピクセルにバイアス電圧を供給するための電流供給ラインをゲートラインと平行するように形成することにより、コラム方向に配列されたピクセル間クロストークを除去することができる。

【図面の簡単な説明】

【0104】

- 【図1】一般的な有機電界発光駆動素子の一例を説明するための図面である。
- 【図2】本発明の第1実施例による有機電界発光駆動素子を説明するための図面である。
- 【図3】前記した図2に印加される信号の波形を説明するための図面である。
- 【図4】前記した図3の動作を説明するための信号の波形図である。
- 【図5】図5は前記した図3の動作を図式的に説明するための図面である。
- 【図6】図6は前記した図3の動作を図式的に説明するための図面である。

【図 7】本発明の第 2 実施例による有機電界発光駆動素子を説明するための図面である。

【図 8】本発明の第 3 実施例による有機電界発光駆動素子を説明するための図面である。

【図 9】前記した図 3 の有機電界発光駆動素子を採用した有機電界発光表示パネルの一例を説明するための図面である。

【図 10】本発明の第 4 実施例による有機電界発光駆動素子を説明するための図面である。

【図 11】本発明の第 5 実施例による有機電界発光駆動素子を説明するための図面である。

【図 12】本発明の第 6 実施例による有機電界発光駆動素子を説明するための図面である。

【図 13】前記した図 12 に印加される信号の波形を説明するための図面である。

【図 14】本発明による第 3 及び第 4 薄膜トランジスタの製造方法を説明するための図面である。

【図 15】本発明による第 3 及び第 4 薄膜トランジスタの製造方法を説明するための図面である。

【図 16】前記した図 3 の有機電界発光表示装置の平面図を説明するための図面である。

【図 17】前記した図 16 の A-A' 線、B-B' 線による有機電界発光表示装置それぞれの断面図である。

【図 18】前記した図 16 の A-A' 線、B-B' 線による有機電界発光表示装置それぞれの断面図である。

【符号の説明】

【0105】

T1 薄膜トランジスタ

T2 薄膜トランジスタ

T3 薄膜トランジスタ

T4 薄膜トランジスタ

T5 薄膜トランジスタ

T6 薄膜トランジスタ

V_{COM} 共通電極電圧

OLED 有機電界発光素子

Cst ストレージキャパシタ

Gq1 ゲートライン

Gq ゲートライン

Dp ゲートライン

Dp+1 ゲートライン

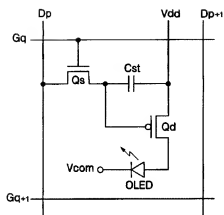
Vdd 電流供給ライン

10

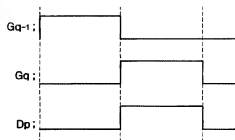
20

30

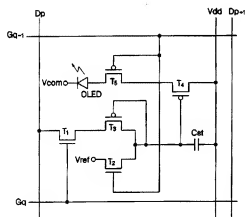
【図 1】



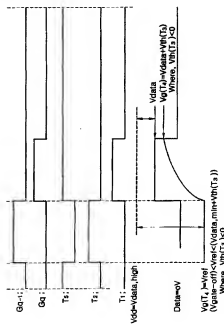
【図 2】



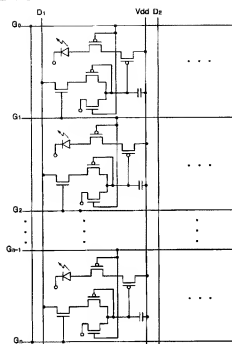
【図 3】



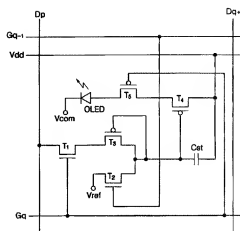
【図 4】



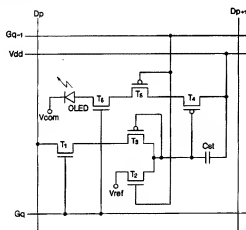
【図 9】



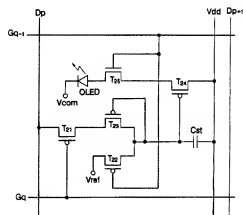
【図 10】



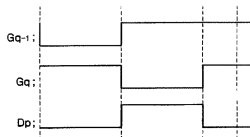
【図 11】



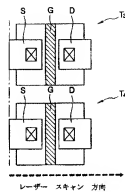
【図 12】



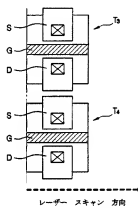
【 1 3 】



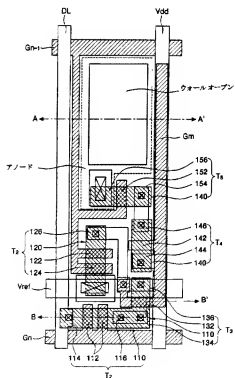
【例 15】



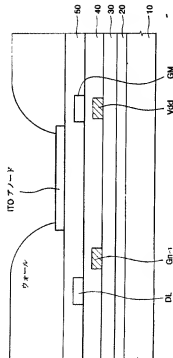
【例 14】



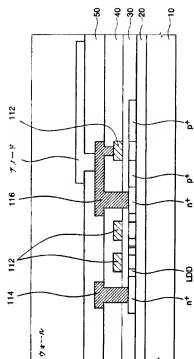
【 1 6 】



【 1 7 】



【 18 】



フロントページの続き

(51)Int. Cl.⁷

F I

テーマコード (参考)

H 0 5 B 33/14

A

(72)発明者 ▲ジュン▼ 厚

大韓民国ソウル特別市西大門区豊景洞サンホA P 七. 1 0 8 棟 3 0 3 号

ドクーム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB06 DD06 EE28 FF11 JJ03 JJ04 JJ06

【要約の続き】